

高性能可编程互连资源设计研究

陈 星,王丽云,王 元,吴 方,王 健,陈利光,来金梅

(复旦大学专用集成电路与系统国家重点实验室,上海 201203)

摘 要: 传统的可编程互联结构在短距离互连上往往采用单管、中距离上有双向线,这使得在 CLB 中查找表(LUT)数目变大后,互连上的延迟会随线长增加而呈指数增长.本文提出了一种改进的高性能互连结构,改进了短、中和长距离互连,使得其在 CLB 中 LUT 数目增加的情况下让芯片拥有更好的互连延迟特性,通过对这种互连结构和传统的互连结构进行建模仿真并对延迟性能比较,结果显示,两倍线的平均延迟降低了 21.9%、六倍线的平均延迟均降低了近 21.7%,长线平均延迟降低了约 4%.这种高性能互连结构应用于我们自主研发设计的 FDP2009-2-SOPC 芯片中,并对其互连性能进行了测试,验证了我们的思想.

关键词: 可编程逻辑器件;可编程互连结构;延迟

中图分类号: TN492 **文献标识码:** A **文章编号:** 0372-2112 (2011) 05-1165-04

High Performance Programmable Interconnect Resource Design Investigation

CHEN Xing, WANG Li-yun, WANG Yuan, WU Fang, WANG Jian, CHEN Li-guang, LAI Jin-mei

(ASIC and System State-Key Laboratory Fudan University, Shanghai 201203, China)

Abstract: Conventional FPGAs use transistor switch in short range interconnection and bidirectional mid range lines, which would make the interconnection delay grows exponentially with the wire length as the number of Look Up Table(LUT) in CLB increases. In this article, we present an improved high performance routing architecture, whose short, mid and long range lines are improved to make the interconnect resource has a better delay performance when the CLB tends to become larger and contains more programmable logic resource and the area of CLB grows larger, and compare its performance with the conventional FPGA's routing architecture by modeling and simulation. Through the comparison, we know that using this new architecture, the double lines are average 21.9% faster, the hex lines are average 21.7% faster, and the lone lines are average 4% faster. And this routing architecture has already been used in the FDP2009-2-SOPC FPGA chip, which is designed and taped out by ourselves. And we also have finished the performance test of its routing resources and proved the superiority of our idea.

Key words: programmable logic instrument ;programmable routing architecture;delay

1 引言

现场可编程门阵列 FPGA(Field Programmable Gate Array)体系结构包含三大基本组成部分:可编程逻辑单元(Configurable Logic Blocks),用以实现用户电路的逻辑功能;可编程互连(Programmable Routing),用以实现用户逻辑的相互连接;可编程输入输出块(Programmable Input/Output Blocks),用以实现用户信号的输入输出,由于可编程互连资源占据了近 80%的芯片面积和 60%的信号延时,因此可编程互连资源的设计是 FPGA 结构设计的中中之重^[3,4].

传统的 FPGA 中可编程互连资源结构在短距离的可编程逻辑块之间的互连采用的是单管开关组成的单倍线,中距离互连上采用的是多路选择器加缓冲器组成

的单双向的六倍线,长距离互连上采用的是多路选择器加缓冲器组成的长线^[1,3,5,12].在短距离互连中,单倍线之间驱动没有缓冲器,所以在每个 CLB 里面包含查找表 LUT(Look Up Table)数增加使得 CLB 的长宽增加后^[1,2,11],单倍线的延迟会随线长成指数增长,双向的六倍线因为其驱动和负载问题,性能也会较单向六倍线差,长线在 CLB 中 LUT 数目增加后,走的距离变长,在进入较远的可编程逻辑块后,延迟会显著增加^[4,6,13].而这些问题明显会制约 FPGA 电路的速度,因此我们提出了一种改进了的高性能 FPGA 互连结构以使其达到更高的工作频率.而这个高性能 FPGA 互连结构已经在我们自行设计的 FPGA 芯片 FDP2009-2-SOPC 上予以实现验证了.

2 高性能可编程互连资源设计

在高性能可编程互连资源设计上,我们采用的依然是通用互连矩阵 GRM(General Routing Matrix)来负责可编程逻辑块间的互连^[1,2,5],GRM 中的互连资源包括连接相邻的两个可编程逻辑块的双倍线(Double Line)、长度可连接 6 个可编程逻辑块的六倍线(Hex Line)、贯穿整个芯片的长线(Long Line)以及全局时钟互连线(Global Line)。

GRM 可以通过两倍线与四个方向相邻及相隔一个可编程逻辑块的 GRM 互相连接;通过六倍线与四个方向相隔的第 3、6 个可编程逻辑块或者所有的 6 个可编程逻辑块相连接;通过长线与四个方向相隔的第 6 的倍数个可编程逻辑块相连接。

本文主要通过通过对 GRM 内部的互连结构进行合理的设计来提高互连资源的性能,请见图 1.具体方法如下:

两倍线被驱动的选通开关盒 Double Mux,采用多路选通器加缓冲器的组合,全部为单向驱动。

六倍线被驱动的开盒 Hex Mux,采用多路选通器加缓冲器的组合,单向驱动。

长线被驱动的开盒 Long Mux,采用多路选通器加缓冲器的结构,单向驱动。

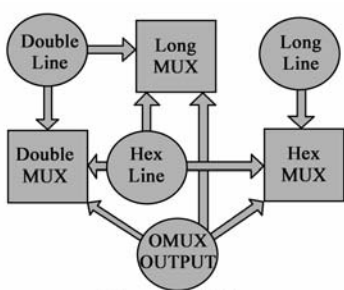


图1 GRM结构

3 高性能的互连资源结构的建模仿真

我们设计的 FPGA 互连结构和传统的互连结构的最大不同之处在于对编程开关的设计上,传统的互连结构在驱动单倍线的互连上使用了单管编程开关,而我们的设计在驱动两倍线的互连上使用的是多路选通器加缓冲器的结构.另外,我们还取消了双向六倍线,增加了长线的数量.通过建模仿真及对流片后的芯片进行测试,我们得出两种互连结构的性能比较.仿真使用的是 0.13 μm 工艺库。

3.1 双倍线建模仿真

在各种不同负载的情况下,以 TT 工艺角对传统的单倍线(级联的两级单倍线)和 FDP2009-2-SOPC 中的两倍线在不同的负载情况下进行建模仿真,两种线的模型见图 2,图 3.得到的仿真结果比较见表 1。

表 1 单倍线 vs 两倍线仿真结果
(延迟时间单位为 ns)

	单倍线	两倍线
无负载	0.30	0.22
部分负载	0.66	0.53
全负载	1.13	0.95

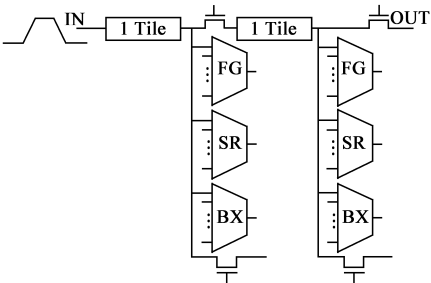


图2 传统互连单倍线仿真模型

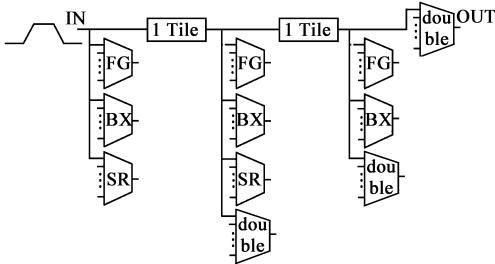


图3 双倍线仿真模型

从仿真结果我们可以看出,两倍线在跨越两个可编程逻辑块时不同的负载条件下速度比单倍线分别提高了约 36.4%, 24.5%, 18.9%, 平均延迟降低了约 21.9%.明显采用多路选通器加缓冲器的两倍线开关延迟比较短,由此可以看出,缓冲器可以较明显地减少互连线的延迟.尤其是在跨越两个可编程逻辑块的互连方面,由于互连线的长度比较长,缓冲器就可以有效地减小长线段的延迟.而且在两级级联的单倍线时,因为中间没有缓冲器来补充阈值损失,会造成多达 0.3V 的传输电压损失.使用了缓冲器后,阈值损失就被弥补了回来.当然,这样使用多路选择器加缓冲器的方式会造成一定的面积增加,但是考虑到当前 CLB 的发展趋势是其中包含的 LUT 数目越来越多,CLB 面积越来越大,这种互连结构的优势就会比较明显,也就是说 CLB 增大后互连面积增加比例反而会变小,延迟特性也会变好,所以这些面积上的增加可以忽略^[14]。

3.2 六倍线建模仿真

在六倍线上,传统互连结构中采用了双向和单向两种六倍线.而在 FDP2009-2-SOPC 中,我们取消了双向线.为了考察单双向线的性能差距,我们对单双向线分别在 TT 工艺角下进行了建模仿真,建模模型如图 4,图 5 所示.得到的仿真结果比较见表 2。

从仿真结果我们可以看出,单向六倍线的速度比双向六倍线在不同的负载条件下分别提高了约 16.2%, 23.5%, 25.3%, 平均延迟约降低了 21.7%.可以看出,

表 2 单向六倍线 vs 双向六倍线仿真结果
(延迟时间单位为 ns)

	双向六倍线	单向六倍线
无负载	0.43	0.37
部分负载	0.63	0.51
全负载	0.84	0.67

单向六倍线在延迟上还是具有一定的优势的,虽然这个延迟优势不是很大,但是在高负载的时候差距还是比较明显的,而且全部使用单向六倍线一定程度上也会给 EDA 软件的布线提供一定的便利.

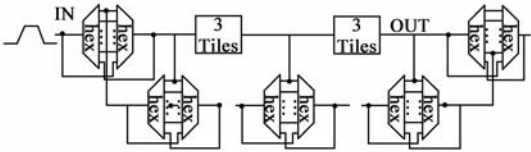


图4 传统互连结构中双向六倍线仿真模型

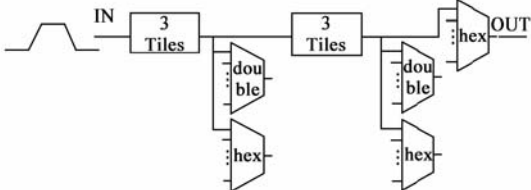


图5 FDP2009-2-SOPC 单向六倍线仿真模型

3.3 长线建模仿真

在结构上,两种长线的区别就是我们在 FDP2009-2-SOPC 芯片中的长线进入多路选通器之前又加入了负载缓冲器.我们对两种长线也进行了建模仿真,仿真模型如图 6,7 所示.得到的仿真结果比较见表 3.

由以上仿真结果可见,虽然在跨越 12 个可编程逻辑块时有缓冲器长线慢了约 4.8%,但是在跨越 18,24 个可编程逻辑块的时候有缓冲器长线速度分别提高了约

表 3 有缓冲器长线 vs 无缓冲器长线仿真结果
(延迟时间单位为 ns)

跨越 PLB	有缓冲器	无缓冲器
12	0.78	0.75
18	0.86	0.91
24	0.89	0.99

5.8%和 11.2%,平均延迟约降低了 4%.有缓冲器的长线在短距离上要比无缓冲器的长线慢,但是在长距离上要快上许多.但是考虑到在布线时长线通常是在超过 12 个可编程逻辑块的时候才会被用到,因此可以说加缓冲器对提高电路性能还是有很大帮助的.

3.4 芯片测试结果

我们已将这种高性能可编程互连资源结构应用于我们自主研发设计的 FDP2009-2-SOPC 芯片中,并对其互连性能进行了测试.封装后的芯片见图 8.测试平台

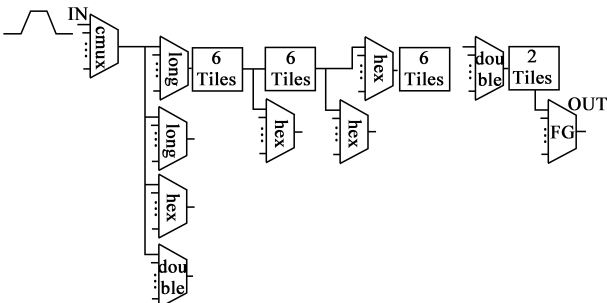


图6 无缓冲器长线仿真模型

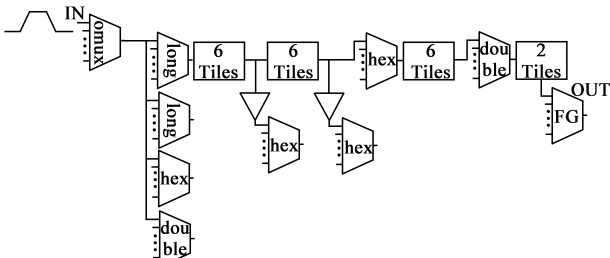


图7 有缓冲器长线仿真模型

见图 9.测试结果见表 4,表 5.

通过测试结果可以看出,两倍线在不同负载下的延迟比仿真结果分别大 0.04ns,0.09ns,0.13ns,六倍线在不同负载下的延迟比仿真结果分别大 0.04ns,0.03ns,0.01ns.长线在跨越 12,18,24 个可编程逻辑块时的延迟比仿真结果分别大 0.04ns,0.03ns,0.04ns.当然这其中主要原因是版图

表 4 FDP2009-2-SOPC 两倍线、六倍线测试结果
(延迟时间单位为 ns)

	两倍线	六倍线
无负载	0.26	0.41
部分负载	0.62	0.54
全负载	1.08	0.68

表 5 FDP2009-2-SOPC 长线测试结果(延迟时间单位为 ns)

跨越 PLB	12	18	24
长线延迟	0.82	0.89	0.93

实现、工艺偏差和测试误差等方面.不过就算是这样,我们也可以看出这个结果符合我们的预期.对于两倍线,其测试结果在不同负载下的延迟甚至要比单倍线的仿真结果还要好,分别降低了 0.04ns,0.04ns,0.05ns;实测的单向六倍线也比仿真的双向六倍线延迟分别降低了 0.02ns,0.09ns,0.14ns.长线方面,跨过的可编程逻辑块越多,延迟增加的越慢也符合我们的预期,而且在跨越 18、24 个可编程逻辑块后更是比无缓冲器长线的仿真结果还要好,延迟分别降低了 0.02ns,0.06ns.

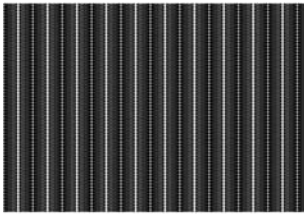


图8 封装好的FDP2009-2-SOPC 芯片

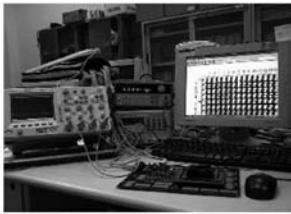


图9 FDP2009-2-SOPC芯片互连测试平台

通过对芯片的测试,我们可以看出,我们设计的互连结构的性能是符合我们的预期的.

4 结束语

本文提出了一种优化的只采用两倍线和单向六倍线以及加缓冲器的长线的高性能 FPGA 互连结构,同传统的使用单管开关和双向六倍线的互连架构进行建模仿真和对比,得出这种新的高性能互连结构的延迟性

能的优越性.尤其在 CLB 规模更大的情况下,这种互连结构相比于传统的互连结构也就更能发挥其优势.除仿真之外,我们还将这种结构实践于我们自主设计的 FDP2009-2-SOPC 芯片中,并对该芯片的互连性能进行了测试,测试结果进一步证实了这种互连结构的优越性.

参考文献

- [1] Spartan-III E FPGA Family Data Sheet[Z]. 2008.
- [2] Virtex-6 Family Overview[Z]. 2010.
- [3] 屠睿, 0.18 μm FPGA 可编程互连资源设计与实现[D]. 上海: 国家微电子重点实验室, 复旦大学研究生院, 2007. 70 – 80.
- [4] V Betz, J Rose, A Marquardt. Architecture and CAD for deep-submicron FPGAs[M]. Boston: Kluwer Academic Publisher, 1999.
- [5] Wu Fang, Zhang Huowen. A delay-optimized universal FPGA routing architecture[A]. Proceedings of the 2009 Asia and South Pacific Design Automation Conference[C]. Yokohama, 2009. 15 – 16.
- [6] S Brown, M Khellah, Z Vranesic. Minimizing FPGA interconnect delays[J]. IEEE Design & Test of Computers, 1996, (04): 16 – 23.
- [7] Wang Liyun, Chen Xing, Wu Fang. Uniform routing architecture for FPGA with embedded IP cores[A]. Proceedings of IEEE 8th International Conference on ASIC[C]. Changsha. 2009. 109 – 112.
- [8] Tan Jun, Shen Qiushi, Chen Yuanfeng. FPGA routing architecture optimization[A]. Proceedings of 8th International Conference on ASIC[C]. Shanghai. 2006. 1934 – 1936.
- [9] G Lemieux, D Lewis. Circuit design of routing switches[A]. Proceedings of the 2002 ACM/SIGDA tenth international symposium on Field-programmable gate arrays[C]. Monterey, 2002. 19 – 28.
- [10] G Lemieux, E Lee, M Tom, A Yu. Directional and single-driver wires in FPGA interconnect[A]. Proceedings of the 2004 IEEE International Conference on ASIC[C]. Vancouver, 2004. 41 – 48.
- [11] 潘光华, 来金梅, 陈利光, 王元, 王键, 童家榕. FPGA 可编程逻辑单元时序功能的设计实现[J]. 电子学报, 2008, 36(08): 1480 – 1484.
Pan Guanghua, Lai Jinmei, Chen Liguang, Wang Yuan, Wang Jian, Tong Jia-rong. The Design and implementation of sequential circuits in FPGA configurable logic block[J]. Acta

Electronica Sinica, 2008, 36(08): 1480 – 1484. (in Chinese)

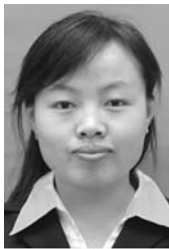
- [12] 侯慧, 马晓骏, 来金梅, 童家榕, 孙 ■, 陈利光. 适用于数据通路的可编程逻辑器件 FDP100K[J]. 电子学报, 2006, 34(08): 1372 – 1375.
Hou Hui, Ma Xiaojun, Lai Jinmei, Tong Jiarong, Sun Jie, Chen Liguang. Programmable logic device FDP100K for data-path application[J]. Acta Electronica Sinica, 2006, 34(08): 1372 – 1375. (in Chinese)
- [13] 谢丁, 邵 ■, 来金梅, 王键, 陈利光, 王元, 余建德. 现代层次化可编程逻辑器件软件系统 FDE2009[J]. 电子学报, 2010, 38(05): 1136 – 1140.
Xie Ding, Shao Yun, Lai Jinmei, Wang Jian, Chen Liguang, Wang Yuan, Yu Jiande. FDE2009 software system for programmable logic device with hierarchical architecture[J]. Acta Electronica Sinica, 2010, 38(05): 1136 – 1140. (in Chinese)
- [14] 恽峰, 宗华, 闵昊, 童家榕, 唐璞山. VLSI 版图验证算法的固化研究[J]. 电子学报, 1996, 24(02): 32 – 36.
Yun Feng, Zong Hua, Min Hao, Tong Jiarong, Tang Pushan. On hardware implementation of VLSI mask verification algorithms[J]. Acta Electronica Sinica 1996, 24(02): 32 – 36. (in Chinese)

作者简介



陈 星 男, 硕士研究生, 目前于复旦大学微电子研究院 CAD 组, 主要研究方向为可编程逻辑器件的互连结构.

E-mail: 082052051@fudan.edu.cn



王丽云 女, 博士研究生, 目前于复旦大学微电子研究院 CAD 组, 主要研究方向为可编程逻辑器件的互连及抗辐照.

E-mail: 071021037@fudan.edu.cn

来金梅(通信作者) 女, 博士、教授. 主要研究领域为可编程逻辑器件(FPGA)设计方法、设计理论; FPGA 芯片及其软件系统; 嵌入式 FPGA IP 核及其软件; 可重构、可进化 FPGA 电路; 动态可重构 FPGA 电路. E-mail: jmlai@fudan.edu.cn